

# Estrategias de planificación para la eficiencia energética. (Dynamic Voltage Scaling)

Jefferson David Rodriguez Chivatá

Escuela de Ingeniería en sistemas e Informática.

Universidad Industrial de Santander

Bucaramanga/Colombia

Jefferson.rodriguez2@correo.uis.edu.co

Andrés Felipe Camacho Velandia

Escuela de Ingeniería en sistemas e Informática.

Universidad Industrial de Santander

Bucaramanga/Colombia

Andres.camacho2@correo.uis.edu.co

**Abstract**— Computer systems evolve their structures through the time and get much more complex and sophisticated, multiple processor CPUs and GPUs accelerators offer great performance, but consume huge amounts of electricity. DVS (Dynamic Voltage Scaling) technology reduces energy consumption by dynamically changing the clock frequency of the CPU. Lower frequencies require less power, which leads to a reduction of the heat generated, and indirectly increased MTBF of the components of the computer system, less energy required for cooling, and the possibility of increasing density components.

**Keywords**—CPUs; GPUS; DVS

**Resumen** —Los sistemas de cómputo presentan en función del tiempo estructuras mucho más complejas y sofisticadas, CPU con múltiples procesadores y aceleradoras como las GPU ofrecen un gran rendimiento, pero consumen enormes cantidades de energía eléctrica. La tecnología de escalado dinámico de tensión (DVS, Dynamic Voltage Scaling) permite reducir el consumo energético mediante cambios dinámicos de la frecuencia de reloj de las CPU. Las frecuencias más bajas requieren menos potencia, que lleva a una reducción del calor generado, e indirectamente a un aumento del tiempo medio entre fallos de los componentes del sistema de cómputo, menos energía necesaria para la refrigeración, y la posibilidad de aumentar la densidad de componentes.

**Palabras claves**—CPU; GPU; DVS; DVFS

## I. INTRODUCCIÓN

En la actualidad, los sistemas de cómputo paralelo de altas prestaciones, CPU con múltiples procesadores y aceleradoras como las GPU ofrecen un gran rendimiento, impensado hasta hace pocos años, pero que consumen enormes cantidades de energía eléctrica. Las métricas de la potencia y consumo energético dirigen el diseño del hardware de la computación, el diseño con consciencia de estos aspectos domina los grandes centros de súper-computación. La alta demanda energética tiene serias consecuencias financieras, medioambientales y en muchos casos sociales. Además de cambiar el diseño tradicional del hardware, enfocado exclusivamente a aumentar la velocidad de procesamiento, es necesarios desarrollar software para gestionar recursos de hardware y permitir

adaptarse a determinados niveles de potencia y consumo energético.

La tecnología de escalado dinámico de tensión (DVS, Dynamic Voltage Scaling) permite reducir el consumo energético mediante cambios dinámicos de la frecuencia de reloj de las CPU. Las frecuencias más bajas requieren menos potencia, que lleva a una reducción del calor generado, e indirectamente a un aumento del tiempo medio entre fallos de los componentes del sistema de cómputo, menos energía necesaria para la refrigeración, y la posibilidad de aumentar la densidad de componentes. Normalmente, los algoritmos DVS para sistemas de altas prestaciones buscan reducir el consumo energético prácticamente sin reducir el rendimiento. Sin embargo, muchas veces es deseable llevar el consumo energético a niveles inferiores, aunque se pierda rendimiento.

Las FPGA (Field Programmable Gate Array) son una tecnología que está ganando importancia para aplicaciones embebidas ya que posee un alto rendimiento a bajo costo y poco tiempo de diseño. Sin embargo, las arquitecturas reconfigurables como las FPGA tienen mucha más capacitancia parásita comparada con otras tecnologías, como ASIC (Application-Specific Integrated Circuit). Como resultado, las FPGA consumen más energía que las ASIC, en algunos casos, hasta en dos órdenes de magnitud para la misma tarea o tecnología. [1] Esto hace las FPGA menos adecuadas para aplicaciones donde el ahorro de energía es importante como ocurre con los dispositivos portátiles. La reducción del poder en las FPGA es entonces un tema importante.

Anteriores investigaciones en el tema han conducido a encontrar formas de reducir el consumo energético en los FPGA. Algunas metodologías requieren modificar la estructura que posee. Otros métodos trabajan con la estructura estándar, estos incluyen segmentación y algoritmos CAD (Computer-Aided Design) donde depende la energía y programación de máquinas de estado finito [2]. Mientras que el primer conjunto

de metodologías puede ser mejoradas por fabricantes de FPGA, las segundas las mejoran u optimizan los usuarios, aquí es donde juega un papel importante el DVS.

El escalado de voltaje requiere reducir la cantidad de voltaje de un circuito [3]. Esto reduce la corriente dinámica y las fugas de corriente, pero con el costo de aumentar la lentitud del circuito. Para mejores resultados, el circuito se debe someter a un voltaje que reduzca el consumo de poder tanto como sea posible, manteniendo al mismo tiempo un funcionamiento fiable. Encontrar este límite es difícil, ya que el voltaje óptimo para que opere correctamente cambia con el tiempo y entre dispositivos, y varía también con la temperatura. En este artículo nos enfocaremos en la mera descripción de proceso y método del DVS utilizando como ejemplo, en algunos casos, el funcionamiento de un FPGA.

## II. ANTECEDENTES

El consumo energético de un circuito FPGA posee dos componentes principales, consumo estático y consumo dinámico. El consumo estático se da por la conducción por debajo del umbral de los transistores MOS y las fugas en las uniones de polarización inversa. Como el proceso de fabricación se vuelve cada vez más avanzado y el tamaño de los transistores se reduce, la corriente de fuga aumenta significativamente y se convierte en un componente importante del consumo de energía. No abordamos directamente el problema de reducir el consumo de energía estática, aunque observamos que la reducción de la tensión de servicio reduce la potencia estática.

La principal fuente del consumo energético dinámico es debido a continua carga y descarga de capacitancias en el circuito integrado. El consumo energético dinámico puede ser modelado con la siguiente fórmula:

$$P = \sum(C \cdot V_{dd}^2 \cdot f)$$

Donde C es la capacitancia parásita de cada parte del circuito, V<sub>dd</sub> es la fuente de voltaje y f es la frecuencia de conmutación del circuito. Ya que hay una relación cuadrática entre el V<sub>dd</sub> y el consumo dinámico, reducir el voltaje reduce el consumo significativamente.

Las técnicas de reducción de consumo en FPGA se pueden clasificar en dos grupos, los que requieren modificaciones a la estructura FPGA o el circuito, y los que no requieren ningún cambio. Estos métodos son aplicables a los modelos existentes tanto en diseño como a nivel de sistema. Algunas de las propiedades son:

- Pipelining (segmentación) de circuitos combinacionales largos. La diferencia en el tiempo de respuesta de entrada es reducida. Como resultado, los problemas técnicos son reducidos y el consumo energético dinámico se reduce drásticamente. Se ha reportado que esta metodología reduce la energía usada en cada operación en un 40-90% [4]. Dado que los recursos de registro son abundantes en los FPGA y los circuitos segmentados usualmente tienen mejor rendimiento, segmentar es una de las mejores soluciones para reducir la energía en los FPGA.

- Algoritmos que tienen en cuenta la energía (CAD) han sido estudiados y demuestran ser efectivos en reducir la energía de consumo. Estos algoritmos incluyen cambiar el tiempo para optimización de consumo, reducción de problemas presentados con la segmentación.

A diferencia de los métodos descritos, DVS es aplicado a nivel de sistema y puede reducir la energía estática y dinámica sin ningún cambio en el diseño. Otra ventaja de DVS es que el voltaje tiene una relación cuadrática con el consumo energético dinámico, esto significa que una pequeña disminución en el voltaje reduce significativamente el consumo.

Podemos entender el DVS partiendo de un MOSFET que es la base de los circuitos digitales que funcionan con voltajes en los nodos para representar un estado lógico, la tensión en estos nodos conmuta entre un voltaje alto y bajo durante la operación normal. En las entradas a una puerta lógica de transición los transistores que la conforman pueden cambiar la salida de la puerta.

En cada nodo de un circuito hay cierta cantidad de capacitancia. La capacitancia puede ser definida como una medida de cuánto tiempo se necesita para que una corriente dada produzca un cambio de voltaje determinado.

La capacitancia surge de diversas fuentes, principalmente de transistores y cables (acoplamiento de capacitancia). Alternar un voltaje en un nodo requiere cargar y descargar la capacidad en ese nodo; ya que las corrientes están relacionadas con la tensión, el tiempo que toma depende de la tensión aplicada.

Mediante la aplicación de un voltaje más alto a los dispositivos en un circuito, las capacitancias se cargan y descargan más rápidamente, dando como resultado un funcionamiento más rápido del circuito permitiendo así una frecuencia más alta.

## III. DYNAMIC VOLTAGE SCALING

Es una técnica para reducir el consumo de energía en sistemas embebidos. Esto se logra mediante la reducción en la

perdida de conmutación, reduciendo selectivamente la frecuencia y el voltaje del sistema.

Típicamente se utilizan en los dispositivos que funcionan bajo batería, donde este aspecto cobra mucha importancia, también es utilizado en sistemas grandes con múltiples procesadores DSP donde el ahorro de energía es requerido por razones térmicas. DVS se utiliza ampliamente en Celulares, PDA, Reproductores mp3, dispositivos que funcionan con baterías basados en micro controladores.

El voltaje utilizado en un componente se aumenta o se disminuye, dependiendo de las circunstancias. Cuando se utiliza DVS para aumentar la tensión se conoce como **Overvolting** y en reducción se le conoce como **Undervolting**.

### 1. Undervolting

Se realiza con el fin de conservar la energía reduciendo la tensión de un componente, por lo general el procesador, bajando la temperatura y pudiendo así omitir elementos de ventilación. Esta práctica se utiliza sobre todo en ordenadores portátiles y otros dispositivos móviles donde la energía proviene de una batería y por lo tanto es limitada.

### 2. Overvolting

Se hace con el fin de aumentar el rendimiento del equipo mediante el aumento del voltaje así se permite el funcionamiento a mayor velocidad (overclocking).

A partir de estos principios se construyen otros métodos, como los explicados en el siguiente punto.

## IV. MÉTODOS

Muchos de los componentes modernos permiten la regulación del voltaje para ser controlados a través de software (por ejemplo, a través de la BIOS). Por lo general, es posible controlar los voltajes suministrados a la CPU, RAM, PCI, AGP, entre otros, a través de la BIOS del PC.

Sin embargo, algunos componentes no permiten el control del software, de fuentes de alimentación y la modificación del hardware es requerida por los aceleradores que buscan el sobre voltaje del componente para un overclock extremo.

Las tarjetas de video y la motherboard son componentes que frecuentemente requieren modificaciones de hardware para cambiar las tensiones de alimentación.

Los métodos utilizados pueden variar dependiendo de las especificaciones. Para sistemas operativos embebidos [5] que consumen poca energía en la cual se seleccionan las más bajas frecuencias operacionales que permiten a dispositivos

especializados denominados RM (Rate Monotonic) y EDF (Earliest-Deadline-First) para cumplir con todos los plazos para un conjunto determinado de tareas. Esta frecuencia está configurada de forma estática, y no puede cambiar a menos que se cambie el conjunto de tareas. RM es un programador de tareas de prioridad estática y asigna una tarea y la ejecuta dependiendo del periodo más corto que está lista para ejecutarse. Por otro lado, EDF es un planificador de prioridad dinámica que ordena las tareas por plazos y siempre da la máxima prioridad a la tarea ejecutada con el plazo más inminente.

Para sistemas de múltiples procesadores el método inicia con la predicción inmediata del sistema operativo de las necesidades de procesamiento, ajustando las frecuencias de reloj para que coincida con la necesidad de poder de procesamiento, esto reduce linealmente la conmutación de la fuente y por último es sistema ajusta el voltaje necesario para mantener la frecuencia de reloj. Esto reduce exponencialmente la conmutación de la fuente.

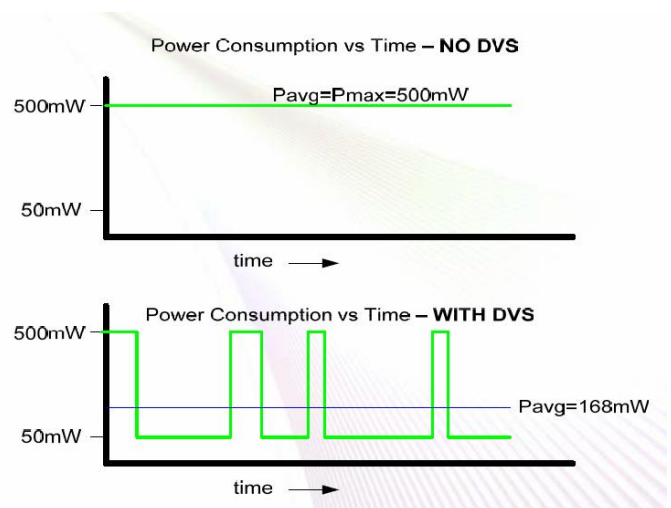


Figura 1: Impacto al implementar DVS

El método anterior se aplica más a la parte algorítmica que estructural, pero en el caso estructural existen varias arquitecturas que permiten menor consumo, como lo es en el caso de algunas arquitecturas FPGA [6] en las cuales se incluyen modelos estructurales adicionales como un LDMC (Logic Delay Measurement Circuit), como se observa a continuación:

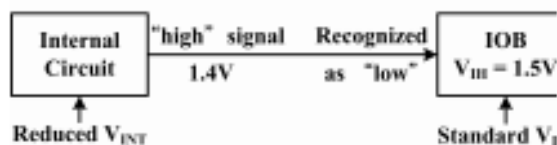


Figura 2: Logic Delay Measurement Circuit

La Fig.2 muestra la arquitectura propuesta. La fuente de energía del FPGA es controlada por un controlador, el cual dinámicamente ajusta la cantidad de voltaje del FPGA. Cuando baja el voltaje, la energía disipada por el FPGA es reducida, a coste de reducción del rendimiento del circuito.

## V. POTENCIA, TEMPERATURA Y VELOCIDAD DE EJECUCION

### A. Potencia

La potencia de conmutación disipada por un chip usando puertas estáticas CMOS es:

$$P = CV^2 f$$

Aquí el consumo de energía disminuye cuadráticamente con el voltaje. Por otra parte, hay una corriente estática de fuga que tiene como característica estar debajo del nivel umbral inferior los 90 nanómetros.

En consecuencia, el DVS se utiliza ampliamente como parte de las estrategias para gestionar el consumo de energía de conmutación en los dispositivos como la batería, teléfonos móviles y ordenadores portátiles.

### B. Temperatura

La eficacia de algunos de los componentes eléctricos, tales como reguladores de tensión, disminuye al aumentar la temperatura por lo que la potencia utilizada puede aumentar con la temperatura que causa la fuga térmica. Los aumentos en la tensión o frecuencia pueden aumentar la demanda de energía del sistema, incluso más rápido de lo que la fórmula para CMOS lo indica y viceversa.

### C. Velocidad de ejecución

La velocidad a la que un circuito digital puede cambiar de estado, es decir pasar de “bajo” (VSS) a “alto” (VDD) o viceversa –es proporcional a la diferencia de voltaje en ese circuito. La reducción de la tensión significa que los circuitos conmutan más lentamente reduciendo la frecuencia máxima a la cual ese circuito puede funcionar, esto a su vez, reduce la velocidad a la que el programa de instrucciones puede ser emitido, lo que puede aumentar el tiempo de ejecución para los segmentos de programa que están suficientemente vinculados a la CPU.

Esto pone en relieve una vez más porque DVS se realiza generalmente con el ajuste de frecuencia dinámica, al menos para las CPU. Existen interacciones complejas a tener en cuenta, que dependen del sistema particular, la carga que se le suministre y los objetivos de la administración de energía. Cuando se necesitan respuestas rápidas, relojes y voltajes deberían elevarse juntos. De lo contrario, ambos pueden mantenerse bajos para maximizar la duración de la batería.

## VI. IMPLEMENTACIONES

Se presentan varias implementaciones de esta tecnología:

### 1. Gama de procesadores sencillos Asíncronos. ASAP2 chip – 167[7]

Las características principales de ASAP2, la segunda generación de esta gama de procesadores son:

- 164 procesadores programables.
- Procesador configurable Video Motion
- Pre-procesador Dynamic Voltage Scaling
- Pre-procesador Dynamic Clock Frequency Scaling
- Todos los procesadores están sincronizados por relojes totalmente independientes.

Esta tecnología le permite a sus procesadores individuales ser extremadamente rápidos (del orden de 1-2ns) y controlan los cambios localmente de sus propias tensiones de alimentación.

Los procesadores conectan su red eléctrica local ya sea a una tensión de alimentación superior (VddHi) o inferior (VddLow), o pueden cortar por completo la red de energía para reducir drásticamente las fugas de energía.

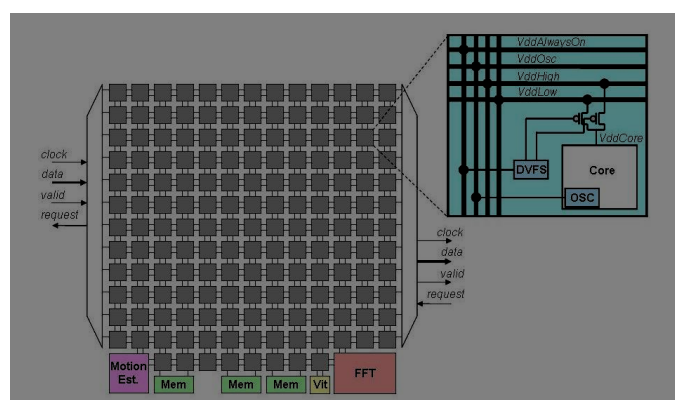


Figura 3: Estructura Processor AsAP chip-167

Tabla 1

Overall chip
--------------

Tecnología CMOS	65 nm St Microelectronics baja fuga
Transistores	55 millones
Área	39,4 mm
<b>Single Chip - Procesador</b>	
Transistores	325.000
Área	0.17 mm
Frecuencia max de reloj	1.2 GHz @ 1,3 V
Potencia (100% activo)	62 mW @ 1.2 GHz, 1.3 V
	47 mW @ 1.06 GHz, 1.2 V
	3,4 mW @ 260 MHz, 0.75 V (equivalente a 1,0 Tera-op / seg @ 6,5 vatos)
	608 mW @ 66 MHz, 0.675 V
<b>Acelerador Transformada Rápida de fourier (FFT)</b>	
Área	1,01 mm
Frecuencia max de reloj	866 MHz @ 1,3 V
<b>Acelerador Viterbi Decoder</b>	
Área	0,17 mm
Frecuencia max de reloj	894 MHz @ 1,3 V
<b>Acelerador Video Emotion</b>	
Área	0,67 mm
Frecuencia max de reloj	938 MHz @ 1,3 V
<b>(3) 16 KB Memorias compartidas.</b>	
Área	0,34 mm
Frecuencia max de reloj	1.3 GHz @ 1,3 V

*Principales características*

2. CPU MISER (Management Infra-Structure for Energy Reduction). [8]

Es un sistema runtime (ejecución) soporta todo el sistema y ahorra hasta un 20% de energía, además es capaz de limitar la perdida de rendimiento para la mayoría de las aplicaciones.

Sistema basado principalmente en la tecnología relacionada a la estudiada llamada DVFS analizaremos lo correspondiente al voltaje.

Contribuciones de CPU MISER:

- Gestiona el consumo y optimiza el rendimiento, potencia en sistemas con múltiples procesadores de múltiples núcleos.
- Sistema de ejecución totalmente automatizado DVFS scheduling. No requiere intervención del usuario.
- Explota los variados tipos de fases ineficientes como accesos a memoria, accesos IO y sistemas que están bajo los límites de rendimiento y potencia.

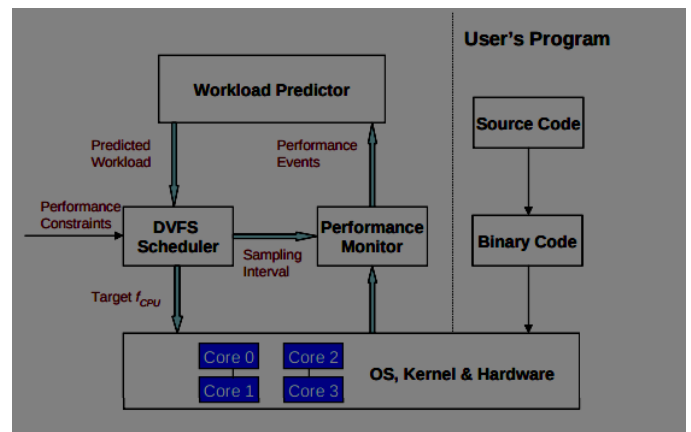


Figura 4: Implementación de CPU MISER

VII. ADVERTENCIAS

La principal advertencia es sobre el Overvolting ya que se incrementa el calor: la potencia disipada por un circuito aumenta con el cuadrado de la tensión aplicada, por lo que incluso pequeños aumentos de voltaje afectan significativamente el poder. A temperaturas más altas, el efecto del transistor se ve afectado negativamente, y en algún umbral, la reducción del rendimiento debido al calor supera los beneficios potenciales de los voltajes más altos, sobrecalentando y daños en los circuitos pueden ocurrir muy rápidamente cuando se utilizan altas tensiones.

También existen preocupaciones a largo plazo: varios efectos adversos relacionados con el dispositivo, disminuyen la vida útil de los componentes sobre-voltados.

Otro punto importante a mencionar son los requerimientos necesarios para implementar el DVS (power supply):

- Muchos de los sistemas DVS tienen doble línea de voltaje (voltaje para el núcleo y voltaje para los I/O) esto es importante para la potencia en la fuente de alimentación ya que reduce el número de piezas y el costo simplificando el diseño
- Una salida o ambas tienen que ser ajustables “sobre la marcha” de manera que la tensión de alimentación pueda dinámicamente realizar un seguimiento de las necesidades del procesador.
- La tensión de salida de la fuente de alimentación necesita cambiar en función de una entrada digital o algún otro canal de comunicaciones.

## VIII. DVFS

Es pertinente hablar también de tecnologías surgidas a partir de DVS, pues permiten dar una mirada al futuro de los métodos para reducción de energía. Uno de ellos, que está directamente relacionado con DVS, es el escalado de frecuencia y voltaje (Dynamic Voltage and Frequency Scaling, DVFS) que es una técnica comúnmente usada para ahorro de energía donde la frecuencia de reloj es reducida disminuyendo el voltaje necesario para su funcionamiento. Esto reduce la cantidad de energía necesaria para ejecutar un programa, específicamente para programas relacionados con la memoria. Se utiliza comúnmente para aplicaciones embebidas, computadores portátiles y centros de datos. DVFS es capaz de reducir el consumo energético de un circuito integrado CMOS, arquitectura presente en los procesadores de computadores modernos, reduciendo la frecuencia con la que opera, esta reducción se puede modelar en la siguiente ecuación:

$$P = C f V^2 + P_{static}$$

Donde  $C$  es la capacitancia de las puertas de los transistores (que depende del tamaño del procesador),  $f$  es la frecuencia de funcionamiento y  $V$  es la fuente de alimentación. La tensión requerida para un funcionamiento estable se determina con la frecuencia en la cual el circuito es registrado (clocked), y puede ser reducido si la frecuencia se reduce. Esto resulta en una significativa disminución en el consumo de energía, debido a la relación cuadrática mostrada arriba.

## IX. NETWORK-AWARE DYNAMIC VOLTAGE AND FREQUENCY SCALING

Otro método o arquitectura surgida a partir de DVS es el escalado de voltaje y frecuencia para redes. El diseño de sistemas con bajo consumo energético ha atraído la atención de la comunidad de sistemas en tiempo real. Esto ha causado un gran progreso en el campo, pero cuando se le agrega una variable más, la de la interacción con internet, se presentan varios problemas, ya que DVS y DVFS no poseen un diseño para sistemas con más de un recurso de hardware, característica común en los sistemas para redes. Para ello se diseña un algoritmo adicional que ayude a DVFS no solo a disminuir el consumo energético sino el consumo de red.

## X. CONCLUSIONES

Las actuales demandas en centros de computación de alto rendimiento utilizan DVS, que, junto con otras tecnologías, permiten reducir los costos energéticos, reduciendo también los costos ambientales. En la actualidad, DVS representa una de las alternativas más representativas para la reducción de la energía, pero debido a la naturaleza del crecimiento exponencial que se presenta en los dispositivos tecnológicos podemos proyectarnos hacia un futuro en donde DVS haga parte de la arquitectura de la mayoría de circuitos, o que abra paso para nuevas investigaciones que ayuden al resolver el problema de la energía.

Entonces para la implementación del DVS se necesitan algunos requisitos especiales:

- La fuente de alimentación debe ser capaz de ajustar la salida del voltaje y mantenerla estable.
- Debe tener una interfaz entre la fuente de alimentación y el procesador.



## XI. REFERENCIAS

- [1] P. S. Zuchowski, C. B. Reynolds, R. J. Grupp, S. G. Davis, B. Cremen, and B. Troxel. A hybrid ASIC and FPGA architecture. In ICCAD, pages 187–194, 2002. J. Clerk Maxwell, A Treatise on Electricity and Magnetism, 3rd ed., vol. 2. Oxford: Clarendon, 1892, pp.68-73.
- [2] S. Thatte and J. Blaine. How to manage power consumption in advanced FPGAs. Xcell Journal, Fall 2002. <http://www.xilinx.com/publications/xcellonline/partners/xcellonline/pdf/xcellonline44.pdf>.
- [3] T. Austin, D. Blaauw, T. Mudge, and K. Flautnet. *Making typical silicon matter with Razor*. IEEE Computes, pages 41–49, March 2004. R. Nicole, “Title of paper with only first word capitalized,” J. Name Stand. Abbrev., in press.
- [4] S. J. E. Wilton, S.-S. Ang, and W. Luk, The impact of pipelining on energy per operation in field-programmable gate arrays. In Field-Programmable Logic and Applications. Proceedings of the 14<sup>th</sup> International Conference, FPL 2004, Lecture Notes in Computer Science, LNCS 3203, pages 719–728. Springer-Verlag 2004.
- [5] Padmanabhan Pillai and Kang G. Shin, Real-Time Computing Laboratory. *Real-Time Dynamic Voltage Scaling for Low-Power Embedded Operating Systems*. University of Michigan. 2014.
- [6] C.T. Chow, L.S.M. Tsui, P.H.W. Leong, W. Luk, S.J.E. Wilton, Dept. of Computer Science and Engineering. *Dynamic Voltage Scaling for Commercial FPGAs*. 2014.
- [7] Zhiyi Yu, Michael J. Meeuwsen, Ryan W. Apperson, Omar Sattari, Michael Lai, Jeremy Webb and Bevan M. Baas. (2008, Marzo). Asynchronous Array of Simple Processors (AsAP). Presentado en 2008, IEEE Journal Solid-State Circuits Conference. [on-Line]. Available: [10.1109/JSSC.2007.916616](http://dx.doi.org/10.1109/JSSC.2007.916616)
- [8] Rong Ge, Xizhou Feng, Wu-chun Feng, Kirk W. Cameron. (2007, Septiembre). CPU MISER: A Performance-Directed, Run-Time System for Power-Aware Clusters. Presentado en 2007 International Conference on Parallel Processing. [on-Line]. Available: [10.1109/ICPP.2007.29](http://dx.doi.org/10.1109/ICPP.2007.29)
- [9] Scot Lester (2007, Marzo). System Power Savings Using Dynamic Voltage Scaling. Presentado en 2007 TI Developer Conference Texas Instruments.